

## EEPROM Serial 4Kilobiți 2.5V I<sup>2</sup>C-BUS

### Caracteristici principale:

-

Operabil de la o singură sursă de tensiune de minim 2.5V

-

Tehnologie CMOS

-

Consum de curent în stare activă: tipic - 1mA

-

Consum de curent în stare de repaus: tipic - 10  $\mu$ A la 5.5V

-

Consum de curent în stare de repaus: tipic - 5  $\mu$ A la 3.0V

-

Organizarea memoriei în două blocuri de 256 de octeți (2 \* 256 \*8)

-

Interfață serială de programare pe două linii, compatibil i2c-bus

-

Compatibilitate comunicare de 100 kHz (2.5V) și 400 kHz (5.0V)

-

Temporizarea automată a ciclului de înscriere (incluzând și autoștergerea memoriei)

-

Buffer de înscriere pe pagină până la 16 octeți

-

Protecție hardware împotriva înscrierii memoriei

-

Poate opera ca și ROM (Read Only Memory) serial

-

Protecție ESD > 3000V

-

Cicluri de înscriere/ștergere garantate 1,000,000

-

Durata mare de reținere a datelor în lipsa alimentării > 40 ani

-

Ciclu de înscriere tipical pe pagină de 2ms

-

Capsula DIP, SOIC de 8 pini și SOIC de 14 pini

-

Produs pentru gamele de temperatură

-

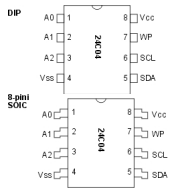
Comercială (C): 0°C până la +70°C

-

Industrială (I): -40°C până la +85°C

## **Tipuri de capsule**

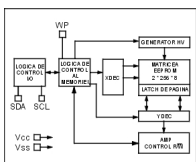
**Figura 3-1: Capsula DIP și SOIC - 8 pini**



**Figura 3-2: Capsula SOIC 14 - pini**

## Descrierea memoriei

Memoria 24C04 fabricată de firma Microchip Tehnology este o memorie de tip Electrically Erasable PROM (memorie ROM electric programabilă).



### Figura 3-3: Diagrama bloc

Dispozitivul este organizat în două blocuri de memorie de  $256 \times 8$  biți cu o magistrală serială programabilă pe două linii (figura 3-3).

Consumul redus permite să opereze cu tensiuni de la 2.5V în sus, cu un consum de curent de 5 $\mu$ A în stare de repaus și un consum de curent 1mA în stare activă. Memoria 24C04 este capabil să execute scriere pe pagină până la 16 octeți de date. 24C04 este disponibil în capsule DIP standard de 8 pini și capsule SOIC de 8 și respectiv 14 pini.

### Caracteristici electrice

## Valori maxim admisibile:

Tensiunea de alimentare Vcc	7.0V
Toate intrările și ieșirile pot diferi față de Vss cu	-0.6 la Vcc + 1.0V
Temperatura de menținere a datelor	-65°C la +150°C

## Tabela 3-1: Descrierea pinilor

**Nume**

**Funcția**

VSS

SDA

## Memoria EEPROM 24C04 cu magistrala i2c-bus

Scris de Administrator

---

SCL

WP

VCC

A0, A1, A2

Masa

Adrese seriale/date intrare/ieșire

Semnal ceas serial

Intrare pentru protecție la scriere

+2.5V ÷ +5.5V tensiune de alimentare

Fără conectări interne

## Tabela 3-2: Caracteristici de curent continuu

VCC = +2.5V la +5.5V Varianta comercială (C) : Temp = 0°C la

Varianta industrială (I) : Temp = -40°C la +85°C

### Parametrii

### Simbol

### Min.

### Max.

### Unitate

Pinii: WP, SCL și SDA:

Tensiunea intrării 1 logic

Tensiunea intrării 0 logic

Histeză la intrare ST

Tensiunea ieşirii 0 logic

V<sub>IH</sub>

V<sub>IL</sub>

V HYS

V OL

.7

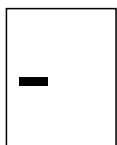
Vcc

-

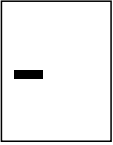
.05

Vcc

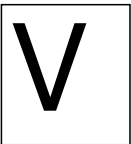
-



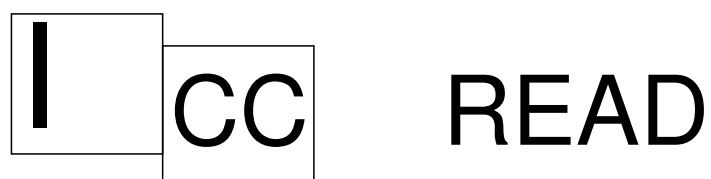
V<sub>CC</sub>

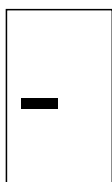
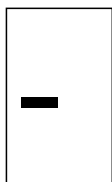


.40



# Curent de operare

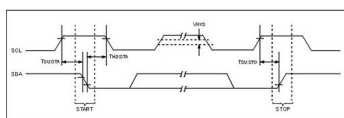
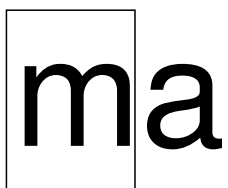




3

1

mA



# Figura 3-4: Alocarea timpilor pe magistrală

# pentru condi țiile **START/STOP**

# **Tabela 3-3: Caracteristici de curent alternativ**

## **Parametrii**

**Simbol**

**Mod standard**

**V<sub>CC</sub>=4.5-5.5 V**

**Mod**      **rapid**

**U**nitate

**Min.**

**Max.**

**Min.**

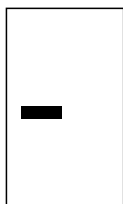
**Max.**

Frecvența de ceas

FCLK

-

100



400

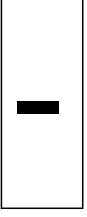
Khz

Timp

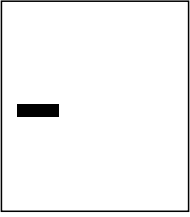
CLK 1 logic

THIGH

4000



600



**Ns**

Timp

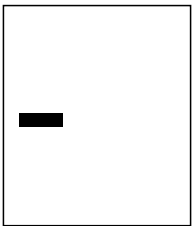
CLK 0 logic

TLOW

4700

-

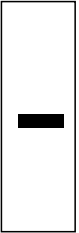
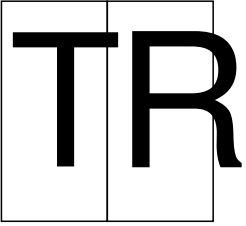
1300



Ns

Timp

SDA și CL



1 000

-

300

Ns

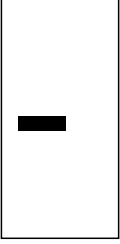
Timp

SDA și C

TF



300



300

ns

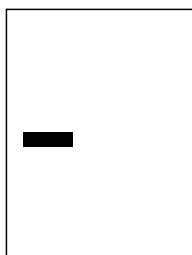
~~Timp~~ de start

TESTA

4000



600

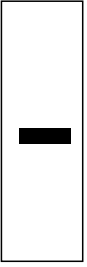


ns

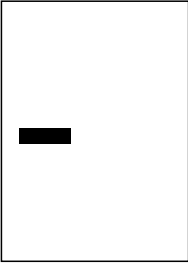
~~Timp~~ de valid

T	S	:	U	S	T	A
---	---	---	---	---	---	---

4	7	0	0
---	---	---	---



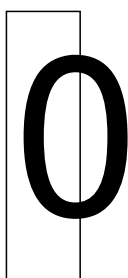
600

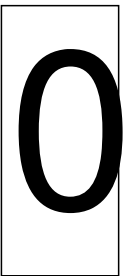
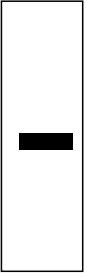


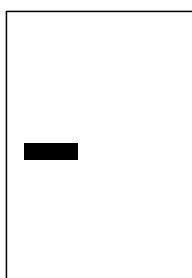
ns

~~Timp~~ de date

T	H	D	D	A	T
---	---	---	---	---	---





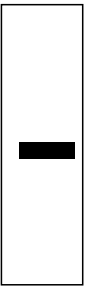


ns

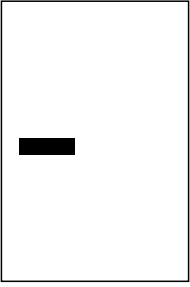
Timp de valid

TSUDAT

250



100



ns

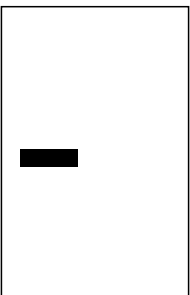
Timp de val

TSLS TO

4000



600



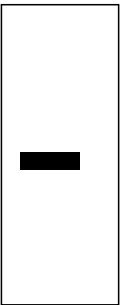
ns

**Timp** de va

**TAA**



3500



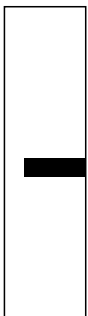
900

ns

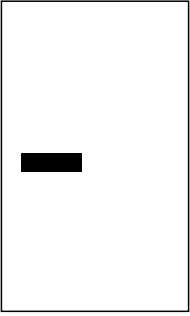
Timp de m

TBUF

4700



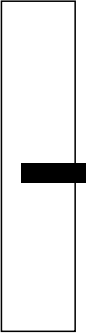
1300



ns

C	o	l	d	r	â	æ	M	c
---	---	---	---	---	---	---	---	---

TOF



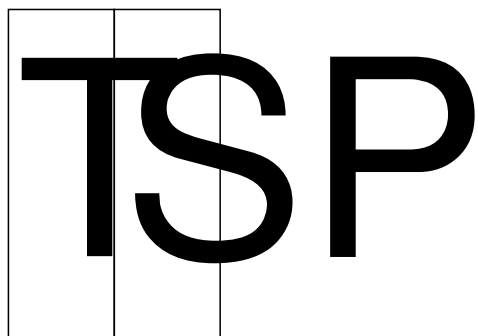
250

20

250

ns

Filtru de ir

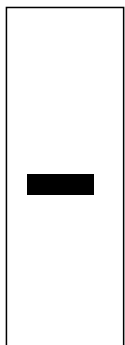
The logo consists of the letters 'T', 'S', and 'P' in a bold, sans-serif font. The 'T' and 'S' are positioned within a grid of two columns and one row. The 'P' is positioned to the right of the 'S'.

T	S
---	---

 T S P



50

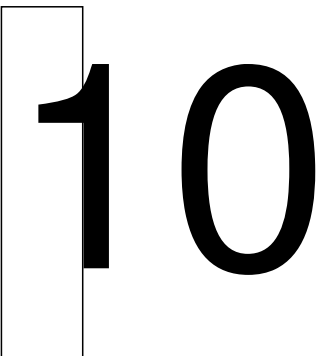


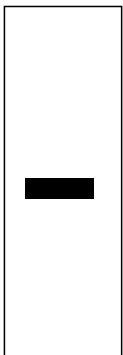
50

ns

Ciclu de s

TWR





10

ns

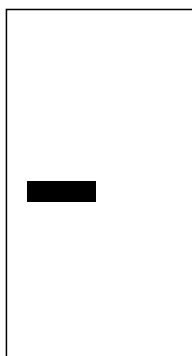
Durata



1M



**1M**

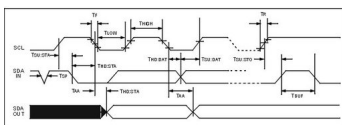


# cicluri

# Memoria EEPROM 24C04 cu magistrala i2c-bus

Scris de Administrator

---



# Figura 3-5: Alocarea timpilor pe

# magistrală pentru transferul datelor

# III.5.

# Descrier ea funcți onală

# Memoria 24C04 suportă un protocol

bidirecțion  
al de  
transmiter  
e a  
dateelor pe

O  
magistrală  
serială pe  
două linii.

Dispozitiv  
ul care  
trimite  
datele pe  
magistral

ă se  
numește  
transmițăt  
or, iar  
dispozitiv

ul care  
recepțion  
ează  
datele se  
numește

# receptor.

# Magistral

a este  
controlată  
de  
dispozitiv  
ul

principal  
(master)  
care  
generează

# semnalul de ceas serial (SCL), controlân

d accesul  
magistral  
ei,  
totodată  
generează

condițiile  
de  
START și  
STOP  
atâta timp

cât

memoria

24C04

lucrează

ca

dispozitiv  
secundar.

Ambele

dispozitiv

e, atâta cel

principal  
cât și  
memoria  
(cel  
secundar)

pot opera  
ca  
transmițăt  
or sau  
receptor,

dar  
dispozitiv  
ul  
principal  
este cel

care  
decide  
care  
dintre  
moduri

sunt  
activate.



# Caracteri sticile

# magistra lei

# Protocolul magistral ei definește

următoar  
ele:

1.

un  
transfer

de date  
poate fi  
inițiat  
numai

dacă  
magistrala  
a nu este  
ocupată

2.

pe

durata  
unui  
transfer  
de date,

linia de  
date SDA  
trebuie să  
fie în

stare  
stabilă  
când linia  
de ceas

SCL este  
în starea  
de nivel  
ridicat 1

logic.  
Schimbarea stării  
liniei de

date SDA

pe

durata

stării de

nivel  
ridicatat al  
liniei de  
ceas va fi

interpreta

t ca o

condiție

START

sau

STOP.

Sunt  
definite  
următoar  
ele stări

pe  
magistral  
a serială  
(conform

# figurii 3-6)

-

**Magistrala  
nu este  
ocupată**

Ambele  
linii, atât  
SCL cât  
și SDA

sunt în 1  
logic.

# Condiția de START

O

tranzacție

din 1

logic in 0

logic al  
liniei de  
date SDA  
atâta timp

cât linia  
de ceas  
SCL este  
stabil în 1

logic  
determină  
condiția  
de

**START.**  
**Toate**  
**comenzil**  
**e trebuie**

precedate  
de o  
condiție  
de

# START.

# Condiția de STOP

O

tranzacție

din 0

logic in 1

logic al  
liniei de  
date SDA  
atâta timp

cât linia  
de ceas  
SCL este  
stabil în 1

logic  
determină  
condiția  
de STOP.

Toate  
operațiunile  
trebuie  
încheiate

cu o  
condiție  
de STOP.

# Date valide

După o  
condiție  
de  
START,

starea  
liniei de  
date  
indică

dacă  
datele  
sunt  
valide,

astfel linia  
de date  
trebuie să  
fie stabilă

pe durata  
perioadei  
de 1 logic  
al

semnalul  
ui de  
ceas.

# Datele pe magistral

ă trebuie  
modificat  
e numai  
pe durata

perioadei  
de 0 logic  
al liniei de  
ceas. Un

semnal  
de ceas  
corespun  
de unui

bit de  
date.

Fiecare  
transfer

de date  
este  
inițiat de  
o condiție

de

START și

este

terminat

de o  
condiție  
de STOP.

# Numărul octeților de date transferat

e între  
condițiile  
de  
START și

STOP  
este  
determina  
tă de

dispozitiv  
ul  
principal  
și teoretic

nu există  
limite, cu  
toate că  
numai

ultimele  
16 octeți  
vor fi  
stocate

după o  
operație  
de  
scriere.

Dacă  
vom  
înscris  
peste

datele  
existente  
în  
memorie,

acestea  
vor fi  
înlocuite  
după

**regula pri  
mul  
intrat  
primul**

# ieşit

■

# **Confirma rea (Acknow ledge)**

Orice  
dispozitiv  
receptor,  
după ce

este  
adresat,  
este  
obligat să

genereze  
o  
confirmar  
e de

primire a  
datelor  
după  
fiecare

octet

recep<sub>3</sub>tion

at.

Dispozitiv

ul  
principal  
va genera  
un puls

de ceas  
supliment  
ar care va  
fi asociat

cu bitul  
de  
confirmar  
e.

# Dispoziti vul care

confirmă  
o recepție  
va  
schimba

starea  
liniei de  
date SDA  
din 1

logic în 0  
logic pe  
durata  
pulsului

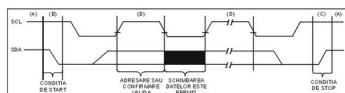
ceas

supliment

ar de

confirmar

# e.



# Figura 3-6: Transfer de date

# secvenți ale pe magistral a serială

Dispoziti  
vul  
principal  
trebuie să

semnaliz  
eze  
memoriei  
dacă

transmisi  
a de date  
a luat  
sfârșit dar

nu prin  
generare  
a unui bit  
de ceas

supliment  
ar pentru  
confirmar  
ea

recepției.

În acest

caz

memoria

trebuie să  
lase liber  
(să nu  
influențez

e starea)  
liniei de  
date în 1  
logic

pentru a  
permite  
dispozitiv  
ului

principal  
să  
genereze  
condiția

de STOP.

# Adresare a memorie i

# După generare a unei condiții

de  
START  
de către  
dispozitiv

ul  
principal,  
aceasta  
va

transmite  
adresa  
memoriei  
ceea ce

conține  
un cod de  
4 biți  
(1010)

urmat de  
3 biți de  
selecție  
(B2, B1,

B0). Bitii

B2

și B1 nu

au nici o

semnifica  
ție;  
B0 este  
utilizat

pentru  
selectare  
a blocului  
de 256 de

octeți al  
memoriei  
care  
urmează

să fie  
accesată.

Valoarea  
ultimului  
bit din  
octetul de

adresă

indică

dacă

dispozitiv

ul  
principal  
va scrie  
sau va citi

din

memorie.

Dacă

este setat

'1' logic  
atunci  
este  
selectat

operația  
de citire,  
iar dacă  
este setat

'0' logic  
atunci  
este  
selectat

operația  
de  
scriere.

# Memoria monitoriz

ea  
ză  
permane  
nt  
magistral

a i2c-bus  
așteptând  
aparitiia  
adresei

sale.

# Operație

**Cod de**

# **S**electare

**B**itul      R/W

# Citire



# Scriere

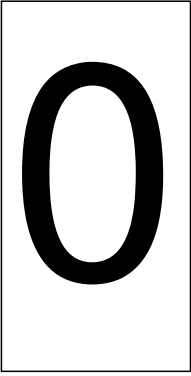
1010

1010

adresă      0

adresă

1



# Figura 3-7: Octetul de

# control

# Operația de scriere

# Scriere pe octet

# Semnalul de START transmis

de  
dispozitiv  
ul  
principal

este  
urmat de  
codul de  
adresă al

memoriei  
eeprom  
(4 biți),  
cei 3 biți

de  
selectare  
a blocului  
și un bit

de  
scriere  
care este  
pus pe

magistrală  
de  
către  
dispozitiv

ul

principal.

Prin

adresare

a  
dispozitiv  
ului  
secundar

(memorie  
i) aceasta  
va  
răspunde

, prin  
generare  
a unui bit  
de

confirmar  
e pe  
durata  
ciclului al

9-lea a  
semnalul  
ui de  
ceas.

Aşadar  
următorul  
octet  
transmis

de  
dispozitiv  
ul  
principal

este  
cuvântul  
de  
adresă și

va fi scris

în

indicatoru

|

(pointerul  
) de  
adresă al  
memoriei

# eeeprom 24C04.

După  
recepția  
unui bit  
de

**confirmar  
e dinspre  
memorie,  
dispozitiv**

ul  
principal  
va  
transmite

**cuvântul  
de date,  
ceea ce  
va fi scris**

în locația  
de  
memorie  
indicată

anterior.

Memoria  
confirmă  
orice  
recepție

corectă,  
iar  
dispozitiv  
ul

principal  
generează  
o  
condiție

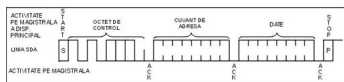
de  
STOP.  
Aceasta  
inițiază

ciclul  
intern de  
înscrisiere,  
și pe

durata  
acestui  
ciclu  
memoria

nu va  
genera  
semnale  
de

confirmare (figura 3-8).



# Figura

# 3-8:

# Scrierea pe octet



# Scrierea pe pagină



# Octetul de control al scrierii,

# cuvântul de adresă și primul

octet de  
date este  
transmis  
căt̃re

memoria  
24C04 în  
același  
mod ca și

în cazul  
scrierii pe  
octet. Dar  
în loc de

a genera  
o condiție  
de STOP  
dispozitiv

ul  
principal  
va  
transmite

până la  
16 octeți  
de date  
spre

memoria  
24C04,  
datele  
fiind

stocate  
temporar  
în  
bufferul

(memoria  
tampon)  
de  
pagina în

chip și  
acestea  
vor fi  
înscrise

în

locațiile

de

memorie

după  
recepția  
condiției  
de

**STOP.**

După  
recepția  
fiecărui  
cuvânt,

# indicatoru l de adresă cu cei 4

biți mai  
puțin  
semnifica  
tivi se

increment  
tează  
intern cu  
1. Cei 7

biți  
semnifica  
tivi ai  
indicatoru

lui de  
adresă  
vor  
rămâne

# constanți.

Dacă  
dispozitiv  
ul  
principal

a  
transmis  
peste 16  
cuvinte

fără a  
genera o  
condiție  
de

STOP,  
atunci  
numărăto  
rul de

adresă  
va reveni  
la prima  
adresă și

datele  
recepțion  
ate  
anterior

**vor fi  
suprascri  
se.**

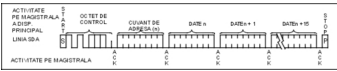
# Operația de scriere pe

pagina se  
termină  
odată cu  
recepțion

area unei  
condiții  
de  
STOP,

care va fi  
urmat de  
ciclul  
intern de

înscriere  
(figura  
3-9).



# Figura

# 3-9:

# Scrierea

# pe pagin

ă



**Confirm  
area  
recepției  
or de**

# date

Datorită  
faptului  
că  
memoria

eeeprom

nu

confirmă

pe durată

unui ciclu  
de  
înscriere,  
aceasta

poate fi  
utilizat  
pentru a  
determin

a

momentu

l în care

se

termină  
un ciclu  
complet  
(această

proprietat  
e poate fi  
utilizat  
pentru

îmbunătă  
țirea  
eficienței  
magistral

ei).

Printr-o  
condiție  
de STOP  
dispozitiv

ul  
principal  
comandă  
memoria

să  
inițieze  
ciclul  
intern de

Înscrisiere.  
Confirma  
rea  
(ACK)

poate fi  
inițiat  
imediat.  
Astfel

dispozitiv  
ul  
principal  
va

transmite  
condiția  
de  
START

urmat de  
octetul de  
control  
pentru a

da o  
comandă  
de  
scriere (R

/

W

=

0) .

Dacă  
memoria  
este  
ocupată

cu ciclul  
de înscrie  
re  
internă,

atunci  
aceasta  
nu va  
returna

bitul de  
confirmar  
e ACK.  
Dacă

ciclul  
este  
complet,  
memoria

va

returna

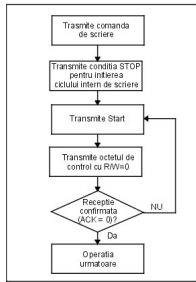
bitul de

confirmar

e, iar  
dispozitiv  
ul  
principal

poate să  
transmită  
comanda  
următoare

e de  
citire/  
scriere.



# Figura

# 3-10:

# Logica

# Confirm

# ăriii

# Protecția la scriere

# Memoria eeprom 24C04 poate fi

utilizat ca

ROM

(read onl

y

memory)

serial

atunci

când

pinul WP  
(write  
protect)  
este

conectat  
la plusul  
alimentării  
i Vcc .

Program  
area va fi  
împiedica  
tă și

memoria  
va fi  
complet  
protejată

# la scriere.



# Operația de citire

Operațiunile  
de citire  
sunt  
inițiate în

mod  
asemănă  
tor  
operațiilo

r de  
scriere,  
cu  
excepția

că bitul

R/W

din

octetul de

adresă  
va fi setat  
pe 1  
logic.

Operațiunile  
de citire  
pot fi de  
3 tipuri:

a)

citirea de  
la adresa  
curentă

b)  
citirea

# aleatoare

# 1.

# citirea secvenția lă

# III.11.1. Citirea de la adresa curentă

# Memoria eeprom 24C04 conține

# un numărăto r de adrese

unde  
memoreea  
ză  
adresa

care a  
fost  
ultima  
dată

accesată  
și o  
increment  
tează pe

aceasta

cu 1.

Aşadar

dacă

ultimul  
acces a  
avut loc  
pe

adresa 'n'  
atunci  
operația  
următoare

e de  
citire/scri  
ere va  
accesa

datele de  
la adresa  
' $n+1$ '.

Datele

recepțion  
ate care  
conțin  
adresa

dispozitiv  
ului cu  
bitul R/W  
setat pe

'1' logic,  
memoria  
24C04 va  
transmite

un bit de  
confirmar  
e și va  
transmite

cele 8 biți  
de date.

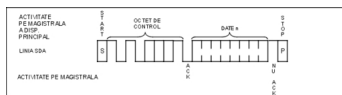
Dispoziti  
vul  
principal  
în urma

transferul  
ui nu va  
confirma,  
dar va

genera o  
condiție  
de STOP  
iar

memoria  
va  
întrerupe  
transmisi

a (Figura  
3-11).



# Figura 3-11: Citirea de la

# adresa curentă

# III.11.2.

# Citirea aleatoare

# Operația de citire aleatoare permite

dispozitiv  
ului  
principal  
să

acceseze  
orice  
locație de  
memorie

în mod  
aleator.  
Pentru a  
executa

O  
operație  
de citire,  
prima

dată  
trebuie  
setată  
adresa.

Aceasta  
se face  
prin  
trimiterea

cuvântulu  
i de  
adresă  
spre

memorie  
ca și o  
parte a  
operației

de  
scriere.  
După ce  
adresa a

fost

trimisă,

dispozitiv

ul

principal  
generează  
o  
condiție

de  
START  
urmat de  
bitul de

**confirmare.**

**Aceasta  
termină**

operația  
de  
scriere,  
dar nu

înainte  
ca  
pointerul  
intern de

adresă

să fie

setat.

Apoi

dispozitiv  
ul  
principal  
va

transmite  
din nou,  
dar bitul  
R/W va fi

setat pe

'1' logic.

Memoria

24C04

va

transmite

un bit de

confirmar

e și va  
transmite  
cele 8 biți  
de date.

# Dispozitiv ul principal ↑

n acest  
caz nu va  
mai  
transmite

bitul de  
confirmar  
e ci va  
genera o

condiție

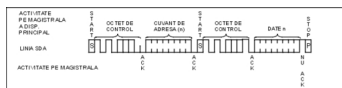
de

STOP,

iar

memoria  
va  
între rupe  
transmisi

a (Figura  
3-12).



# Figura 3-12: Citirea aleatoare

e

# III.11.3.

# Citirea

# secvenți ală

Operația  
de citire  
secvenți  
ală este

inițiată în  
mod  
asemănă  
tor citirii

aleatoare

, cu

excepția

că după

recepția  
primului  
octet de  
date,

dispozitiv  
ul  
principal  
va

transmite  
confirmar  
ea  
recepției

octetului,  
în locul  
condiției  
de STOP

ca în  
cazul  
citirii  
aleatoare

. Această  
dirijare  
va  
permite

memoriei  
24C04  
să  
transmită

octetul  
următor  
de la  
adresa

imediat  
următoar  
e (Figura  
3-13).

Pentru  
realizare  
a citirii  
secvenți

ale  
memoria  
24C04  
conține

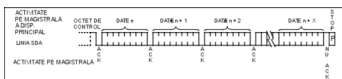
un  
indicator  
de  
adresă

(pointer)  
intern  
care se  
incrementen

tează cu  
1 după  
orice  
operație

# completă





# Figura 3-13: Citirea secvenți

# ală

# III.11.4.

# Protecți a față de zgomote

# Memori a eeprom 24C04

folosește  
un circuit  
detector  
de prag

a  
tensiunii,  
care nu  
permite

operația  
de  
ștergere/  
scriere,

dacă  
tensiune  
a de  
alimenta

re Vcc  
este sub  
1.5V în  
condiții

# nominale

■

# Intrărilor

**e SCL  
și SDA  
sunt de  
tip**

'Schmit  
t  
trigger'  
și

**circuit  
de  
filtru,  
care**

**reduc  
vârful  
e de  
zgomet**

**pentru  
a  
asigura  
dispozit**

**ivului o  
operare  
corectă  
chiar**

**dacă  
magistr  
ala este  
perturb**

**ată.**



# Descrierea pinilor

# Pin de adresă/ date de

# intrare/i e șire serială -

# SDA

Acest  
pin  
bidirecți  
onal

este  
utilizat  
la  
transfer

ul  
adresele  
or și  
datelelor

spre  
memori  
e și la  
transfer

ul  
datelelor  
dinspre  
memori

e.

Această

ieșire

este de

tipul cu  
'colector  
în gol',  
aşadar

magistr  
ala SDA  
solicită  
o

rezisten  
ță de  
conecta  
re la

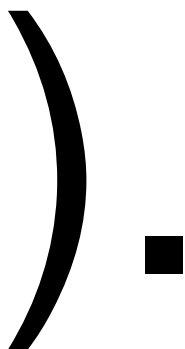
plusul  
aliment  
ării  $V_{CC}$   
(tipic

10K la

100KHz

, 1K la

400KHz



**Pentru  
un  
transfer  
de date**

valide,  
starea  
magistr  
alei de

date

SDA

poate fi

schimba

t numai

pe

durata

semnal

ului de  
ceas în  
starea  
de 0

logic.

Schimb  
ărilor pe  
durata  
semnal

ului de  
ceas în  
starea  
de 1

logic  
sunt  
rezervat  
e pentru

indicare  
a  
condițiilor  
or de

**START**

**și**

**STOP.**

# Pin serial de ceas - SCL

# Aceast

# ă

intrare  
este  
utilizată

pentru  
sincroni  
zarea

# transfer urilor de date

spre și  
dinspre  
dispoziti

**V.**

# Pin de protect ie la

# scriere

# - WP

Acest  
pin  
trebuie

conecta  
t fie la  
masă

Vss fie

la

plusul

aliment  
ării Vcc.  
Dacă

este  
conecta  
t la Vss,

atunci  
sunt  
permise

toate  
operațiil  
e

(citirea /  
scrierea  
deplină

a

memori

ei).

Dacă  
este  
conecta

t la Vcc,  
atunci  
operați

a de  
SCRIE  
RE este

**interzis**

**ă.**

**Memori**

a va fi  
complet  
protejat

ă la

scriere.

Operații

le de

citire nu

sunt

# afectate





**Pini**

**A0, A1,**

**A2**

Aceste  
a nu  
sunt

# utilizați de memori

a

24C04.

Ele

trebuie  
conect  
ate la

**V<sub>SS</sub>**

**sau**

**V<sub>CC</sub>.**



Progra

mul

pentru

**citirea**

---

**și**

---

**scriere**

---

a

memori

ilor

eeeprom

cu

magistr

ala

i2c-bus